

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

Patent Number: US2002119662
 Publication date: 2002-08-29
 Inventor(s): KOBAYASHI HIROMICHI (JP)
 Applicant(s):
 Requested Patent: JP2000068371
 Application Number: US19990261162 19990303
 Priority Number(s): JP19980240236 19980826
 IPC Classification: H01L21/302; H01L21/461
 EC Classification:
 Equivalents:

Abstract

A silicon nitride film is first formed on a semiconductor substrate and serves as a polishing stopper film. Then, the silicon nitride film and the semiconductor substrate are etched in a predetermined region to form an isolating trench which partitions an active region. Next, a silicon dioxide film is deposited on the semiconductor substrate so that the isolating trench is filled with the silicon dioxide film. Next, first-stage chemical mechanical polishing (CMP) is performed with a SiO₂-contained slurry which can efficiently polish the surface of the silicon dioxide film regardless of level difference. Finally, second-stage CMP is performed with a CeO₂-contained slurry ensuring a large polishing selectivity ratio of the silicon dioxide with regard to silicon nitride films

Data supplied from the esp@cenet database - I2

Description

BACKGROUND OF THE INVENTION

[0001] 1. Field of the Invention

[0002] The present invention generally relates to a method of manufacturing a semiconductor device and, more particularly, to a manufacturing method suitable for forming efficiently an isolating trench which partitions an active region in a semiconductor substrate.

[0003] 2. Description of the Background Art

[0004] Semiconductor integrated circuits (ICs) are required to be able to completely independently control individual devices. For this reason, in the fabrication of semiconductor ICs there is a need to form the structure having element isolating regions which prevent electrical interference among a plurality of devices. For example, trench isolation and localized oxidation of silicon (LOCOS) are widely known as the method for forming the aforementioned element isolating regions.

[0005] The trench isolation method is one which forms a trench in a semiconductor substrate and then fills the trench with an insulator to form an isolating region. According to the trench isolation method, a bird's beak, which will occur in the LOCOS method, will rarely occur. To accurately form the isolating region, it is undesirable for a bird's beak to occur. In this regard, the trench isolation method is an isolating-region formation method indispensable for advancing miniaturization of semiconductor ICs.

[0006] The tolerance for accuracy of lithography and etching that are performed in the semiconductor IC manufacturing process becomes less as miniaturization of semiconductor ICs advances. To enhance lithography accuracy and etching accuracy, it is important to ensure the planarization of a semiconductor IC in the manufacturing process. For this reason, in the process of forming an isolating region by the trench isolation method, chemical mechanical polishing (CMP) has been used extensively for planarizing a semiconductor IC favorably.

[0007] FIGS. 15A through 19B are sectional views for explaining the contents of a former trench isolation method that is performed in the IC manufacturing process. FIGS. 15A, 16A, 17A, 18A and 19A are sectional views showing a section where two isolating regions are provided adjacently to each other, while FIGS. 15B, 16B, 17B, 18B and 19B are show sectional views showing a section where a relatively large active region is formed near an isolating region.

[0008] In the former trench isolation method, as illustrated in FIGS. 15A and 15B, a silicon dioxide (SiO₂) film 12 and a silicon nitride (SiN) film 13 are formed in this order on a silicon substrate 10. Then, a layer of resist (not shown) is formed on the SiN film 13 by a photo-lithographic process. The resist is formed so as to have openings on the regions where isolating regions are to be formed and cover active regions where elements are to be formed. After formation of the above-mentioned resist, etching is performed while the resist is used as a mask, whereby an isolating trench for partitioning an active region is formed.

[0009] After the formation of the isolating trench, silicon dioxide (SiO₂) is deposited on the silicon substrate 10 through

use of a chemical vapor deposition (CVD) method, as illustrated in FIGS. 16A and 16B. As a result, the isolating trench is filled by a SiO₂ film 14. Then, CMP is performed to remove the protruding portion of the SiO₂ film 14. During the CMP process, the SiN film 13 serves as a stopper film. As a result, SiO₂ remains only within the isolating trench, as illustrated in FIGS. 17A and 17B.

[0010] Next, as illustrated in FIGS. 18A and 18B, the SiN film 13 is removed through use of a phosphoric acid heated to a predetermined temperature. Finally, as illustrated in FIGS. 19A and 19B, the SiO₂ layer 12 is removed through use of a fluoric acid. The aforementioned steps results in a formation of a trench-shaped isolating region.

[0011] In the former trench isolation method, CMP for polishing the protruding portion of the SiO₂ film 14 is performed by employing slurry containing SiO₂. However, the polishing selectivity ratio of a SiO₂ film and a SiN film implemented by the slurry containing SiO₂ is about 3:1. To polish efficiently only the SiO₂ film 14 by the CMP so as to ensure a desirable polished quality, it is advantageous that the above-mentioned selectivity ratio has a greater value. It is also desirable that the above-mentioned selectivity ratio have a great value in order to favorably flatten the surface of the silicon substrate 10 by execution of the CMP.

[0012] To manufacturing semiconductor ICs having stable quality at a high yield, it is important to fabricate isolating regions efficiently and accurately. Further, to fabricate isolating regions efficiently and accurately, it is important to ensure a desired polished quality stably by CMP as well as to ensure a favorable flatness by CMP. For these points, in the former trench isolation method, there is yet room for improvement which enhances a yield of semiconductor ICs having stable quality.

SUMMARY OF THE INVENTION

[0013] The present invention has been conceived to solve the previously-mentioned problems, and a general object of the present invention is to provide a novel and useful method of manufacturing a semiconductor device.

[0014] A more specific object of the present invention is to provide a manufacturing method for semiconductor devices in which CMP is executed under a condition suitable to ensures a desired polished quality and a favorable flatness, thereby enabling a high yield manufacturing of semiconductor devices having stable characteristics.

[0015] The above object of the present invention is achieved by a method of manufacturing a semiconductor device including the steps below. The method includes a step for forming a silicon nitride which serves as a polishing stopper film on a semiconductor substrate. The method includes a step for etching the silicon nitride film and the semiconductor substrate in a predetermined region to form an isolating trench which partitions an active region. The method also includes a step for depositing a silicon oxide film on said semiconductor substrate so that said isolating trench is filled with said silicon oxide film. The method further includes a step for polishing the silicon oxide film which is in an exposed state to reduce level difference in a surface thereof through use of a first slurry. The first slurry is suitable for polishing a silicon oxide film as well as suitable for reducing the level difference or making the level difference gentle. The method moreover includes a step for polishing the silicon oxide film until the silicon nitride film is exposed through use of a second slurry which contains cerium dioxide. The polishing using the second slurry is performed after the level difference in the surface of the silicon oxide film has been reduced.

[0016] The above object of the present invention is also achieved by a second method similar to the above mentioned method (it is called the first method hereunder). The second method includes a step described below instead of the step for the polishing using the first slurry in the first method. More particularly, the second method includes a step for filling a surface depression in the silicon oxide film with a flattening material to reduce level difference in a surface of the silicon oxide film. The step mentioned above is performed prior to the step of the polishing employing the second slurry.

[0017] The above object of the present invention is also achieved by a third method similar to the first method. The third method includes a step described below instead of the step for the polishing using the first slurry in the first method. More particularly, the third method includes a step for performing wet chemical etching on a surface of said silicon oxide film to reduce level difference in the surface of said silicon oxide film. The step mentioned above is performed prior to the step of the polishing employing the second slurry.

[0018] Other objects and further features of the present invention will be apparent from the following detailed description when read in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

[0019] FIG. 1 is a plot showing characteristics of a first slurry and a second slurry both employed in a manufacturing method of a semiconductor device practiced as a first embodiment of the present invention;

[0020] FIGS. 2A through 2C are sectional views showing figures of level differences which are taken into account in the first embodiment;

[0021] FIGS. 3A through 8B are sectional views for explaining a manufacturing method of a semiconductor device practiced as a second embodiment of the present invention;

[0022] FIGS. 9A through 14B are sectional views for explaining a manufacturing method of a semiconductor device practiced as a third embodiment of the present invention; and

[0023] FIGS. 15A through 19B are sectional views for explaining a former manufacturing method of a semiconductor device.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

[0024] In the following, principles and embodiments of the present invention will be described with reference to the accompanying drawings. Throughout the drawings, like reference numerals designate like or corresponding parts, and

descriptions of such parts are omitted where they are repetitive.

[0025] First Embodiment

[0026] FIG. 1 shows the characteristics of two kinds of slurries employed in a manufacturing method for semiconductor devices practiced as a first embodiment of the present invention. As described later, in the first embodiment, both first-stage CMP which employs a first slurry containing SiO₂ and second-stage CMP which employs a second slurry containing cerium dioxide (CeO₂) are executed to polish a silicon oxide film deposited on a silicon substrate during formation process of an isolating region on the silicon substrate. The results denoted by - in FIG. 1 indicate the characteristic of the first slurry containing SiO₂, while the results shown by - indicate the characteristic of the second slurry containing CeO₂.

[0027] In FIG. 1 the horizontal axis represents the magnitude of level difference in the silicon wafer surface to be polished, while the vertical axis represents a ratio of an polishing speed of an inspection object (i.e., a silicon wafer with level difference in its surface) and that of a silicon wafer with a flat surface. More specifically, the vertical axis represents a ratio of polishing speed of a protruding portion on the inspection object and that of the flat silicon wafer. As shown in FIG. 1, the first slurry containing SiO₂ ensures a polishing speed ratio exceeding 100% when there is a large level difference in the silicon wafer surface. Thus, CMP employing the first slurry enables an efficient polishing of the silicon substrate regardless of the level difference thereof.

[0028] On the other hand, the second slurry containing CeO₂, as shown in FIG. 1, has a characteristic that reduces the polishing speed ratio as level difference in a silicon wafer surface becomes larger. Particularly, the polishing speed ratio implemented by CMP employing the second slurry reduces to a significantly smaller value when the magnitude of level difference exceeds 400 nm. For this reason, when level difference exceeding 400 nm is present in the surface of a silicon substrate, the substrate surface cannot be efficiently polished by CMP employing the second slurry. Although the experimental results shown in FIG. 1 have been obtained for the case where level difference includes a vertical wall as shown in FIG. 2A (such level difference will hereinafter be referred to as a "vertical level difference"), similar results are also obtained for the case where level difference includes a curved wall as shown in FIG. 2B (such level difference will hereinafter be referred to as a "curved level difference") and the case where level difference includes a inclined wall as shown in FIG. 2C (such level difference will hereinafter be referred to as a "inclined level difference").

[0029] According to the CMP that is executed with the first slurry containing SiO₂, the SiO₂ film and the SiN film are polished with a selectivity ratio of about 3:1. On the other hand, according to the CMP that is executed with the second slurry containing CeO₂, the SiO₂ film and the SiN film can be polished with a large selectivity ratio of about 50:1. For this reason, if the SiO₂ film and the SiN film are polished with the second slurry, the SiN film effectively serves as a stopper film of the CMP.

[0030] The first slurry containing SiO₂ is superior to the second slurry containing CeO₂ in the point where enabling efficient polishing of the silicon substrate surface regardless of level difference thereof. The second slurry, on the other hand, is superior to the first slurry by the fact that being capable of polishing of the SiO₂ film and the SiN film with a large selectivity ratio. The manufacturing method according to the first embodiment has a feature in that effectively utilizing the advantages of the two slurries during a formation process of isolating regions.

[0031] Now, the description will be given of the manufacturing method practiced as the first embodiment of the present invention with reference to FIGS. 3A through 8B. FIGS. 3A, 4A, 5A, 6A, 7A, and 8A are sectional views showing a section where two isolating regions are provided adjacently to each other, whereas FIGS. 3B, 4B, 5B, 6B, 7B and 8B are sectional views showing a section where a relatively large active region is formed near an isolating region.

[0032] FIGS. 3A and 3B illustrate the states in which an isolating trench 16 has been formed in a silicon substrate 10, respectively. The isolating trench 16 is formed by carrying out the following steps:

[0033] (Step 1) A SiO₂ film 12 of about 10 to 50 nm thick is formed on the silicon substrate 10 by thermal oxidation.

[0034] (Step 2) A SiN film 13 with a film thickness of about 50 to 300 nm is formed on the SiO₂ film 12.

[0035] (Step 3) A resist mask (not shown) having openings in regions corresponding to the isolating trench 16 is formed on the SiN film 13 by a photo-lithographic process.

[0036] (Step 4) The SiN film 13 and the SiO₂ 12 are removed from the unmasked portion corresponding to the isolating trench 16 by anisotropic etching. Furthermore, the silicon substrate 10 is removed by a depth of about 100 to 500 nm, whereby the isolating trench 16 is formed.

[0037] FIGS. 4A and 4B illustrate the states in which a SiO₂ film 14 has been deposited on the silicon substrate 10, respectively. The states illustrated in FIGS. 4A and 4B are formed by carrying out the following steps after the formation of the isolating trench 16.

[0038] (Step 5) The SiO₂ film 14 is deposited on the silicon substrate 10 through use of the CVD method. In this step 5 the SiO₂ film 14 is deposited so that its film thickness is equal to or greater than the total value of the depth of the isolating trench 16, the film thickness of the SiO₂ film 12, and the film thickness of the SiN film 13. Although the SiO₂ film 14 is deposited by the CVD method in this embodiment, it may be deposited by a high-density plasma chemical vapor deposition (HDP-CVD) method.

[0039] (Step 6) A resist mask (not shown), which has openings in regions 18 on which elements are fabricated (hereinafter referred to as "active regions 18"), is formed on the SiO₂ film 14 by a photo-lithographic process.

[0040] (Step 7) The parts of the SiO₂ film 14 deposited on the active regions 18 are removed by dry etching.

[0041] FIGS. 5A and 5B illustrate the states formed by execution of the first-stage CMP, respectively. The states illustrated in FIGS. 5A and 5B are provided by carrying out the following step after the dry etching of the SiO₂ film 14.

[0042] (Step 8) The first-stage CMP is performed until the depth of the vertical level difference in the SiO₂ layer 14 reaches about 100 nm, by employing the first slurry containing SiO₂. The first-stage CMP is one of the characteristic steps of the manufacturing method according to the first embodiment. In this embodiment, for the sake of the simplification of quality control,

[0043] the ending time of the first-stage CMP is controlled based on the elapsing time from the starting time thereof.

[0044] According to the manufacturing method of this embodiment, as described above, the parts of the SiO₂ film 14 on the active regions 18 are removed by dry etching before the polishing of the SiO₂ film 14 by the first-stage CMP. According to dry etching, the parts of the SiO₂ film 14 deposited on relatively wide regions can be efficiently removed compared with CMP. For this reason, the first embodiment enables to remove the SiO₂ film 14 more efficiently compared with a method in which the SiO₂ film 14 on the entire region is removed by CMP.

[0045] The dry etching for removing the SiO₂ film 14 on the active region 18 results in a formation of a large vertical level difference in the boundary portion between the active region 18 and the non-active region (see FIG. 4B). As mentioned above, the first slurry enables efficiently polishing of an object even when a large vertical level difference is formed in the object (see FIG. 1). For this reason, the aforementioned manufacturing method can efficiently reduce the large vertical level difference formed in the surface of the silicon substrate 10.

[0046] In the first embodiment, the first-stage CMP is carried out in the state in which the SiO₂ film 14 is exposed. That is, in this embodiment, the first-stage CMP is implemented for the purpose of efficiently polishing the single layer of the SiO₂ film 14. For this reason, the characteristic of the first slurry is set primarily from the viewpoint that silicon dioxide (SiO₂) can be efficiently polished.

[0047] For instance, in the case where the first-stage CMP is implemented under the situation in which another film is overlaid on the SiO₂ film 14, there will arise a need to consider the suitability of the first slurry with the overlying film in setting process of the characteristic of the first slurry. Similarly, in the case where polishing is required of another layer formed underneath the SiO₂ film 14, there will also arise a need to consider the suitability of the first slurry with the underlying film. On the other hand, in this embodiment the characteristic of the first slurry can be determined only by taking the suitability with silicon dioxide (SiO₂) into consideration. In this regard, the manufacturing method according to the first embodiment has an advantageous characteristic for polishing the SiO₂ film 14 efficiently by the first-stage CMP.

[0048] FIGS. 6A and 6B illustrate the states provided by execution of the second-stage CMP, respectively. The states illustrated in FIGS. 6A and 6B are formed by carrying out the following step after the execution of the first-stage CMP.

[0049] (Step 9) The SiO₂ layer 14 is polished until the SiN film 13 is exposed, by the second-stage CMP which employs the second polishing agent containing CeO₂. The second-stage CMP is one of the characteristic steps of the manufacturing method according to the first embodiment. In this embodiment, the end time of the second-stage CMP is controlled, as the case of the first-stage CMP, based on the elapse time from the start time of the CMP for the sake of simplification of control.

[0050] As mentioned above, in the first embodiment, the second-stage CMP is executed at the stage in which the depth of the vertical level difference in the surface of the SiO₂ film 14 has been suitably reduced. The second slurry employed in the second-stage CMP is a polishing agent which is capable of efficiently polishing an object having a small level difference and also polishing SiO₂ and SiN with a high selectivity ratio. For this reason, according to the second-stage CMP, the SiO₂ film 14 can be efficiently removed while the SiN film 13 is serving as an effective stopper film.

[0051] In the CMP having the object of removing the SiO₂ film 14, if the SiN film 13 effectively serves as a stopper film, the SiN film 13 with a large film thickness is apt to be left behind when the CMP ends. Therefore, according to the aforementioned CMP, a desirable polished state can be obtained easily and stably without being affected by fluctuation in processing conditions. In addition, in the situation in which the SiN film 13 efficiently serves as a stopper film, the flatness degree of the SiN film 13 is apt to be kept at a great value during execution of the CMP, while the surface height of the SiO₂ film 14 and that of the SiN film 13 are apt to be equal. As a result, a superior flatness degree is imparted to the surface of the SiO₂ film 14. Furthermore, according to the CMP employing CeO₂, scratches in the wafer caused by polishing can be reduced to a small amount in comparison with the CMP employing SiO₂. Therefore, the manufacturing method according to the first embodiment is also effective for an enhancement in the polished quality of the wafer.

[0052] As mentioned above, the first embodiment which performs the first-stage CMP and the second-stage CMP reliably enables the SiO₂ film 14 formed in the isolating trench 16 to be of a superior flatness without being affected by fluctuation in processing conditions. For this reason, according to the manufacturing method practiced as the first embodiment, semiconductor devices with stable isolating regions can be manufactured at a high yield.

[0053] After the completion of the second-stage CMP, as shown in FIGS. 7A and 7B, the SiN film 13 is removed by wet etching which employs a heated phosphoric acid (step 10). Then, as shown in FIGS. 8A and 8B, the SiO₂ film 12 is removed by wet etching which employs a fluoric acid (step 11). The aforementioned steps form a trench-shaped isolating regions which partition the active regions 18.

[0054] In the first embodiment, the first-stage CMP and the second-stage CMP are performed sequentially while slurries are switched on the same table (hereinafter referred to as a "CMP table"). According to such a technique, the first-stage CMP and the second-stage CMP are performed with a high throughput.

[0055] Further, during the manufacturing process, cleaning water for washing out the first slurry are supplied to the CMP table after completion of the first-stage CMP. Then, the second slurry is supplied to the CMP table after the first slurry has been washed out of the silicon substrate. For this reason, although the first-stage CMP and the second-stage CMP are performed on the same table, mixture of the slurries are prevented from arising.

[0056] Furthermore, in the CMP table, after the completion of the first-stage CMP, a dressing process of a polishing cloth, that is, the process of polishing the surface of a polishing cloth with a diamond abrasive grain, is executed. According to the above-mentioned dressing process, the state of the polishing cloth can be restored to a state which can exhibit initial performance, and at the same time, the first slurry can be removed from the surface of the polishing cloth. For this reason, according to the first embodiment, the first and second slurries can be strictly prevented from mixing with each other, and also the silicon substrate 10 can be efficiently polished during the second-stage CMP.

[0057] In the aforementioned embodiment, although the first-stage CMP and the second-stage CMP are performed

sequentially on the same table, the present invention is not limited to the embodiment. For example, the second-stage CMP may be newly executed after cleaning and drying of the silicon substrate, which are performed after the completion of the first-stage CMP.

[0058] In the aforementioned embodiment, the washing water and the dressing process are employed, when the first-stage CMP and the second-stage CMP are executed sequentially on the same table, for preventing the first and second slurries from being mixed. However, the present invention is not limited to the embodiment. That is, in the case where the mixture of the first and second slurries arises no problem, the washing and dressing processes may be omitted.

[0059] In the aforementioned embodiment, although the vertical level difference in the SiO₂ film 14 is reduced to about 100 nm by means of the first-stage CMP, the present invention is not limited to the embodiment. As shown in FIG. 1, the second slurry containing CeO₂ exhibits a superior polishing ability in a region where the vertical level difference is equal to or less than 400 nm. For this reason, the SiO₂ film 14 may be polished so that the vertical level difference is reduced to less than about 400 nm by the first-stage CMP.

[0060] In the aforementioned embodiment, although the SiO₂ film 14 on the active region 18 is removed by etching prior to the first-stage CMP, the present invention is not limited to the embodiment. For example, after the SiO₂ film 14 has been deposited on the silicon substrate 10, the SiO₂ film 14 may be polished by the first-stage CMP without performing etching.

[0061] In the aforementioned embodiment, while a slurry containing SiO₂ is employed as the first-slurry, the first slurry is not limited to this. The first slurry may be any slurry which is capable of efficiently polishing the SiO₂ film 14 regardless of the level difference in an object to be polished. A slurry containing Al₂O₃, ZrO₂, Mn₂O₃, or MnO₂, illustratively, may be employed as the first slurry.

[0062] In the aforementioned embodiment, the first-stage CMP is executed for reducing the vertical level difference in the SiO₂ film 14, the purpose of the first-stage CMP is not limited to this. That is, the CMP employing the first slurry containing SiO₂ enables the vertical level difference in the SiO₂ film 14 to be reduced as well as the corner of the level difference to be gentle. The polishing rate of the CMP employing the second slurry containing CeO₂ increases as the surface level difference in the SiO₂ film 14 becomes smaller as well as the surface level difference becomes gentle. For this reason, according to the present invention, the second-stage CMP can be efficiently performed due to both of these advantageous effects.

[0063] In the aforementioned embodiment, although the level difference, which is reduced or to be gentle by the first-stage CMP, is limited to a vertical level difference, the present invention is not limited to the embodiment. For example, a curved level difference including curved walls which connect convex portions and concave portions is formed in the surface of the SiO₂ film formed by the CVD method. Also, an inclined level difference including inclined walls which connect convex portions and concave portions is formed in the surface of the SiO₂ film formed by the HDP-CVD method. The first-stage CMP also enables these level differences to be reduced and gentle. Accordingly, even in the case a curved level difference or an inclined level difference is formed in the surface of the SiO₂ film, the manufacturing method practiced as the first embodiment enables the surface to be flattened.

[0064] Second Embodiment

[0065] A description will be given of a manufacturing method for semiconductor devices according to a second embodiment of the present invention in reference to FIGS. 9A through 14B.

[0066] In the manufacturing method according to the second embodiment, as the case of the first embodiment, an isolating trench 16 is formed through execution of steps 1 to 4 (see FIGS. 9A and 9B). Furthermore, in the manufacturing method according to the second embodiment, like the case of the first embodiment, a SiO₂ film 14 with a vertical level difference is formed by executing steps 5 through 7 (see FIGS. 10A and 10B).

[0067] The manufacturing method practiced as the second embodiment has a first characteristic in the fact that a vertical level difference in the surface of the SiO₂ film 14 is reduced by filling a flattening material into concave portions of the surface after the SiO₂ film 14 has been formed by the aforementioned steps. Further, the manufacturing method practiced as the second embodiment has a second characteristic in the fact that the CMP employing a slurry containing CeO₂ is performed after the vertical level difference in the SiO₂ film 14 has been reduced by the aforementioned technique. Even in the second embodiment, for the sake of convenience, a polishing agent containing CeO₂ is referred to as a second slurry and CMP employing that slurry is referred to as second-stage CMP.

[0068] FIGS. 11A and 11B illustrate the states in which a silicon substrate 10 has been coated with a flattening material, respectively. The states illustrated in FIGS. 11A and 11B are obtained by carrying out the following step after removal of the SiO₂ film 14 from an active region 18.

[0069] (Step 12) The surface of the silicon substrate 10 is coated with spin-on glass (SOG) 20. The SOG is deposited in a depression portion in the SiO₂ film 14. As a result, through execution of this step, a vertical level difference formed in the surface in the SiO₂ film 14 becomes gentle. When an object to be polished has a gentle vertical level difference, the surface of the object can be efficiently polished by the second-stage CMP employing the second slurry. Therefore, execution of step 12 provides the state required to efficiently perform the second-stage CMP, as the first-stage CMP in the first embodiment does.

[0070] After the completion of step 12, step 9, i.e., the second-stage CMP, is executed as in the case of the first embodiment, whereby the SiO₂ film 14 is polished until the SiN film 13 is exposed (see FIGS. 12A and 12B). Then, the SiN film 13 is removed by step 10 (see FIGS. 13A and 13B). Next, the SiO₂ film 12 is removed by step 11, whereby isolating regions 14 are formed in the substrate 10 (see FIGS. 14A and 14B).

[0071] According to the second embodiment, as with the case of the first embodiment, the SiO₂ film 14 can be efficiently polished by the second-stage CMP and also the SiN film 13 can be made to serve as a stopper film effectively during execution of the second-stage CMP. For this reason, according to the fabrication method of the second embodiment, as with the case of the first embodiment, (1) a desirable polished state can be obtained easily

and stably without being affected by fluctuation in the processing conditions, (2) the surface of the SiO₂ film 14 can be imparted with a superior degree of flatness, and (3) polished quality of the wafer can be enhanced.

[0072] In the second embodiment, while the SOG 20 is employed as a flattening material for reducing the vertical level difference in the SiO₂ film 14, the present invention is not limited to the SOG 20. For example, the vertical level difference in the SiO₂ film 14 may be reduced by using a BPSG as the flattening material and performing a reflow process after formation of a BPSG film.

[0073] Third Embodiment

[0074] Hereinafter, a description will be given of a manufacturing method for semiconductor devices according to a third embodiment of the present invention.

[0075] As previously described, in the manufacturing method according to the first embodiment, the first-stage CMP (step 8) is executed to reduce the vertical level difference in the SiO₂ film 14. On the other hand, in the manufacturing method according to the second embodiment, the process of filling depression portions of the SiO₂ film 14 with a flattening material (step 12) is performed to reduce the vertical level difference. The manufacturing method according to the third embodiment has a characteristic in the fact that instead of these processes, wet chemical etching is carried out on the entire surface of the silicon substrate 10.

[0076] That is, according to the third embodiment, the SiO₂ film 14 having a vertical level difference in the surface thereof is formed by steps 1 through 7. Then, wet chemical etching is performed on the entire surface of the silicon substrate 10. Wet chemical etching has a characteristic of removing a protruding portion in preference to a flat portion. For this reason, the wet chemical etching enables the vertical level difference in the SiO₂ film 14 formed on the silicon substrate 10 to be gentle.

[0077] As described above, if the vertical level difference becomes gentle, the surface of an object to be polished can be efficiently polished by the second-stage CMP. Accordingly, the advantageous effects yielded in the first and second embodiments can be obtained even by the manufacturing method according to the third embodiment.

[0078] In the third embodiment, although wet chemical etching is performed over the entire surface of the silicon substrate 10, the present invention is not limited to this. That is, wet chemical etching may be performed only on the region excluding the portion according to the isolating trench 16. So long as a region subjected to the wet chemical etching is limited as described above, reduction of the SiO₂ film 14 within the isolating trench 16 will be prevented from arising, whereby a surface depression in the isolating region can be effectively prevented from occurring.

[0079] In the first to the third embodiments mentioned above, although one of the CMP employing the first slurry, the process of filling a surface depression with a flattening material, and the wet chemical etching is carried out to reduce the vertical level difference in the SiO₂ film 14, the present invention is not limited to those embodiments. For example, a combination of two or more of these processes may be executed to reduce the vertical level difference in the SiO₂ film 14.

[0080] The major benefits of the present invention described above are summarized as follows:

[0081] According to the first aspect of the present invention, after formation of an isolating trench on a semiconductor substrate, a silicon oxide film is deposited on the semiconductor substrate. As a result, the isolating trench is filled with silicon dioxide. At this time, a protruding portion of the silicon oxide film is formed on the semiconductor substrate at a region away from the isolating trench. In the present invention, the protruding portion of an exposed silicon dioxide film is polished through use of a first slurry. The first slurry is a polishing agent suitable for polishing of the silicon oxide film. For this reason, the exposed silicon oxide film is efficiently polished during the above-mentioned polishing process.

Further, the first slurry is also a polishing agent suitable for reducing and smoothening level difference in the silicon oxide film. For this reason, the above-mentioned polishing enables efficiently polishing of protruding portions of the silicon oxide film, thereby efficiently enabling the surface of the semiconductor substrate to be flat. In the present invention, polishing is performed with a second slurry containing CeO₂, after level difference in the silicon oxide film has been reduced. The second slurry has a characteristic suitable for efficiently polishing a flat silicon-oxide film and also suitable for polishing the silicon oxide film at a large selectivity ratio with respect to the silicon nitride film. For this reason, during the above-mentioned polishing, the silicon oxide film is efficiently polished while the silicon nitride film is effectively serving as a stopper film. Thus, the manufacturing method according to the present invention stably implements a desired polished quality, and imparts a superior flatness degree to a semiconductor.

[0082] According to the second aspect of the present invention, the silicon oxide film deposited on an active region can be efficiently removed by etching. The above-mentioned process tends to produce a large level difference in the silicon oxide film at the boundary portion between active region and non-active region. In the present invention, polishing employing a second slurry is performed after the level difference has been reduced by polishing employing a first slurry. For this reason, the present invention efficiently ensures a desirable polished quality.

[0083] According to the third aspect of the present invention, the first slurry contains a silicon oxide. According to the slurry containing a silicon oxide, the characteristics required of the first slurry can be satisfied.

[0084] According to the fourth aspect of the present invention as set forth in claim 4, the level difference in the silicon oxide film is reduced to less than 400 nm by polishing employing the first slurry. When the level difference is less than 400 nm, the second slurry containing CeO₂ efficiently polishes the silicon oxide film. For this reason, the present invention efficiently ensures a desirable polished quality.

[0085] According to the fifth aspect of the present invention, the polishing using the first slurry and the polishing employing the second slurry are performed on the same table. For this reason, according to the present invention, the throughput in the polishing step is enhanced, whereby superior productivity can be ensured.

[0086] According to the sixth aspect of the present invention, the polishing employing the second slurry can be performed after the surface depression in the silicon oxide film has been filled with a flattening material. For this reason, the present invention efficiently ensures a desirable polished quality while utilizing superior characteristics of the second slurry.

[0087] According to the seventh aspect of the present invention, a surface depression in the silicon oxide film is filled with spin-on glass (SOG). That is, the level difference in the silicon oxide film can be easily and reliably reduced with SOG.

[0088] According to the eighth aspect of the present invention, a surface depression in the silicon oxide film is filled with BPSG. That is, the level difference in the silicon oxide film can be easily and reliably reduced with BPSG.

[0089] According to the ninth aspect of the present invention, the polishing employing the second slurry is performed after wet chemical etching has been performed on the surface of the silicon oxide film. Through use of wet chemical etching, the level difference in the silicon oxide film becomes gentle. So long as the level difference in the silicon oxide film is gentle, a desirable polished quality can be efficiently ensured with the second slurry. For this reason, the present invention efficiently ensures a desirable polished quality by utilizing the superior characteristics of the second slurry.

[0090] According to the tenth aspect of the present invention, wet chemical etching is performed over the entire surface of the silicon oxide film, whereby the level difference in the silicon oxide film can be reduced easily and reliably. For this reason, according to the present invention, a desirable polished quality can be ensured with an easy process.

[0091] According to the eleventh aspect of the present invention, silicon substrate is subjected to wet chemical etching only at the active regions. The above-mentioned wet chemical etching prevents the silicon oxide film deposited on the isolating trench from being removed. For this reason, the present invention is capable of utilizing the superior characteristics of the second slurry while appropriately ensuring the thickness of the silicon oxide film in the isolating trench.

[0092] Further, the present invention is not limited to these embodiments, but variations and modifications may be made without departing from the scope of the present invention.

[0093] The entire disclosure of Japanese Patent Application No. Hei 10-240236 filed on Aug. 26, 1998 including specification, claims, drawings and summary are incorporated herein by reference in its entirety.

Data supplied from the esp@cenet database - I2

Claims

What is claimed is:

1. A method of manufacturing a semiconductor device, comprising the steps of:
forming a silicon nitride film on a semiconductor substrate, said silicon nitride film serving as a polishing stopper film;
etching said silicon nitride film and said semiconductor substrate in a predetermined region to form an isolating trench which partitions an active region;
depositing a silicon oxide film on said semiconductor substrate so that said isolating trench is filled with said silicon oxide film;
polishing said silicon oxide film being in an exposed state to reduce level difference in a surface thereof, by employing a first slurry suitable for polishing a silicon oxide film and also suitable for reducing said level difference or making said level difference gentle; and
polishing said silicon oxide film until said silicon nitride film is exposed, by employing a second slurry which contains cerium dioxide, after said level difference in the surface of said silicon oxide film has been reduced.
2. The method according to claim 1, further comprising a step of removing a portion of said silicon oxide film deposited on said active region by etching prior to the polishing of the same.
3. The method according to claim 1, wherein said first slurry is a polishing agent that contains a silicon oxide.
4. The method according to claim 1, wherein said level difference is reduced to less than 400 nm in the step of polishing employing said first slurry.
5. The method according to claim 1, wherein the polishing of said silicon oxide film with said first slurry and the polishing of said silicon oxide film with said second slurry are executed on the same table.
6. A method of manufacturing a semiconductor device, comprising the steps of:
forming a silicon nitride film on a semiconductor substrate, said silicon nitride film serving as a polishing stopper film;
etching said silicon nitride film and said semiconductor substrate in a predetermined region to form an isolating trench which partitions an active region;
depositing a silicon oxide film on said semiconductor substrate so that said isolating trench is filled with said silicon oxide film;
filling a surface depression in said silicon oxide film with a flattening material to reduce level difference in a surface of said silicon oxide film; and
polishing said silicon oxide film until said silicon nitride film is exposed, by employing a second slurry which contains cerium dioxide, after said level difference in the surface of said silicon oxide film has been reduced.
7. The method according to claim 6, wherein said flattening material is formed by coating said silicon oxide film with spin-on glass.
8. The method according to claim 6, wherein said flattening material is provided by forming a film of BPSG on said silicon oxide film and then performing a reflow process.

9. A method of manufacturing a semiconductor device, comprising the steps of:
forming a silicon nitride film on a semiconductor substrate, said silicon nitride film serving as a polishing stopper film;
etching said silicon nitride film and said semiconductor substrate in a predetermined region to form an isolating trench which partitions an active region;
depositing a silicon oxide film on said silicon substrate so that said isolating trench is filled with said silicon oxide film;
performing wet chemical etching on a surface of said silicon oxide film to reduce level difference in the surface of said silicon oxide film; and
polishing said silicon oxide film until said silicon nitride film is exposed, by employing a second slurry which contains cerium dioxide, after said level difference in the surface of said silicon oxide film has been reduced.
10. The method according to claim 9, wherein said wet chemical etching is executed over the entire surface of said silicon oxide film.
11. The method according to claim 9, wherein said wet chemical etching is executed only on said active region while a non-active region is covered with a resist material.
12. The method according to claim 1, wherein at least one of steps for filling a surface depression in said silicon oxide film with a flattening material; and performing wet chemical etching on a surface of said silicon oxide film is executed in combination with the step of the polishing which employs said first slurry.
13. The method according to claim 6, wherein at least one of steps for polishing said silicon oxide film being in an exposed state by employing a first slurry suitable for polishing a silicon oxide film and also suitable for reducing said level difference or making said level difference gentle; and performing wet chemical etching on a surface of said silicon oxide film is executed in combination with the step of the filling which employs said flattening material.
14. The method according to claim 9, wherein at least one of steps for polishing said silicon oxide film being in an exposed state by employing a first slurry suitable for polishing a silicon oxide film and also suitable for reducing said level difference or making said level difference gentle; and filling a surface depression in said silicon oxide film with a flattening material is executed in combination with the step of the wet chemical etching.
15. The method according to claim 2, wherein said first slurry is a polishing agent that contains a silicon oxide.
16. The method according to claim 2, wherein said level difference is reduced to less than 400 nm in the step of polishing employing said first slurry.
17. The method according to claim 3, wherein said level difference is reduced to less than 400 nm in the step of polishing employing said first slurry.
18. The method according to claim 2, wherein the polishing of said silicon oxide film with said first slurry and the polishing of said silicon oxide film with said second slurry are executed on the same table.
19. The method according to claim 3, wherein the polishing of said silicon oxide film with said first-slurry and the polishing of said silicon oxide film with said second slurry are executed on the same table.
20. The method according to claim 4, wherein the polishing of said silicon oxide film with said first slurry and the polishing of said silicon oxide film with said second slurry are executed on the same table.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-68371

(P2000-68371A)

(43) 公開日 平成12年3月3日(2000.3.3)

(51) Int.Cl.⁷

識別記号

F I

テームコード(参考)

H 0 1 L 21/76

H 0 1 L 21/76

L 5 F 0 3 2

21/304

6 2 2

21/304

6 2 2 X

審査請求 未請求 請求項の数12 O L (全 11 頁)

(21) 出願番号

特願平10-240236

(22) 出願日

平成10年8月26日(1998.8.26)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小林 裕通

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100082175

弁理士 高田 守 (外1名)

Fターム(参考) 5F032 AA35 AA44 DA02 DA04 DA23

DA24 DA25 DA28 DA33 DA34

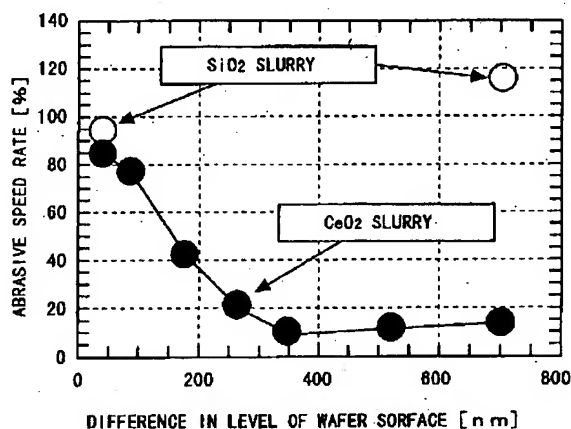
DA53 DA78

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は半導体基板に活性領域を区分する分離溝を形成する工程を含む半導体装置の製造方法に関し、安定した品質を有する分離溝を高い歩留まりで形成することを目的とする。

【解決手段】 半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する。所定領域においてシリコン窒化膜と半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する。分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる。段差に関わらず効率良くシリコン酸化膜表面を研磨し得るSiO₂入り研磨剤で第1段階のCMPを行う。シリコン酸化膜とシリコン窒化膜とに大きな研磨選択比を有するCeO₂入りの研磨剤で第2段階のCMPを行う。



【特許請求の範囲】

【請求項1】 半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、

所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、

前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、

シリコン酸化膜の研磨に適し、かつ、シリコン酸化膜表面の段差を減少させ若しくはなだらかにするのに適した第1の研磨剤を用いて露出状態の前記シリコン酸化膜を研磨することにより、その表面の段差を減少させる工程と、

前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項2】 前記シリコン酸化膜のうち活性領域上に堆積する部分を、研磨に先立ってエッチングにより除去する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第1の研磨剤は、シリコン酸化物を含む研磨剤であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】 前記第1の研磨剤を用いたシリコン酸化膜の研磨工程では、段差が400nm以下とされることを特徴とする請求項1乃至3の何れか1項記載の半導体装置の製造方法。

【請求項5】 前記第1の研磨剤を用いるシリコン酸化膜の研磨と前記第2の研磨剤を用いたシリコン酸化膜の研磨とは、同一の研磨テーブル上で実行されることを特徴とする請求項1乃至4の何れか1項記載の半導体装置の製造方法。

【請求項6】 半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、

所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、

前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、

前記シリコン酸化膜の表面の窪みを平坦化材で埋めることにより、前記シリコン酸化膜の表面の段差を減少させる工程と、

前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項7】 前記平坦化材は、前記シリコン酸化膜上にSOGを塗布することにより形成されることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記平坦化材は、前記シリコン酸化膜上にBPSGを製膜し、リフロー処理を行うことにより形成されることを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、

所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、

前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、

前記シリコン酸化膜の表面にウェットエッチングを施すことにより、前記シリコン酸化膜の表面の段差を減少させる工程と、

前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とする半導体装置の製造方法。

【請求項10】 前記ウェットエッチングは、前記シリコン酸化膜の全面を対象として実行されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記ウェットエッチングは、非活性領域がレジストで覆われた状態で、活性領域のみを対象として実行されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、

所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、

前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、

シリコン酸化膜表面の段差を減少させ若しくはなだらかにするのに適した第1の研磨剤を用いて露出状態の前記シリコン酸化膜を研磨する処理、前記シリコン酸化膜の表面の窪みを平坦化材で埋める処理、および、前記シリコン酸化膜の表面にウェットエッチングを施す処理の何れかを複数組み合わせることで実行することにより、前記シリコン酸化膜の表面の段差を減少させる工程と、

前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に、半導体基板に活性領域を区分する分離溝を効率良く形成するうえで好適な半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路においては、個々の素子の制御を完全に独立して行えることが要求される。このため、半導体集積回路を製造するうえでは、複数の素子間の電気的な干渉を阻止する素子分離領域を有する構造を形成する必要がある。素子分離領域を形成する方法としては、例えば、トレンチ分離法やLOCOS法が広く知られている。

【0003】トレンチ分離法は、基板にトレンチ、すなわち、分離溝を形成し、そのトレンチの内部に絶縁物を充填することで分離領域を形成する方式である。トレンチ分離法によれば、LOCOS法において生ずるバズピークがほとんど発生しない。分離領域を精度良く形成するためには、バズピークが生じないことが望ましい。この点、トレンチ分離法は、半導体集積回路の微細化を進めるうえで不可欠な分離領域形成方法である。

【0004】半導体集積回路の製造過程で実行される写真製版やエッチングの精度に関する余裕は、半導体集積回路の微細化が進むに伴って小さくなる。それらの精度を高めるためには、製造過程において半導体集積回路の平坦性を確保することが重要である。このため、トレンチ分離法による分離領域の形成過程においては、半導体集積回路を良好に平坦化するためにCMP (Chemical Mechanical Polishing) が広く行われている。

【0005】図15 (A) および15 (B)、乃至、図19 (A) および19 (B) は、半導体装置の製造過程において従来実行されていたトレンチ分離法の内容を説明するための断面図を示す。図15 (A) 乃至図19 (A) は、2つの分離領域が接近して設けられる部分の断面図を示す。また、図15 (B) 乃至図19 (B) は、分離領域の近傍に比較的大きな活性領域が形成される部分の断面図を示す。

【0006】図15 (A) および15 (B) に示す如く、従来のトレンチ分離法においては、まず、シリコン基板10の上部にSiO₂膜12およびSiN膜13が順に形成される。次に、写真製版により、SiN膜13の上部にレジスト (図示せず) が塗布される。レジストは、シリコン基板10上の素子の分離領域を形成すべき領域に開口を有し、かつ、素子を形成すべき領域、すなわち活性領域を覆うように形成されている。上記のレジストが形成された後、レジストをマスクとしてエッチングが実行され、活性領域を区分する分離溝が形成される。

【0007】分離溝が形成されると、図16 (A) および16 (B) に示す如く、シリコン基板10の上部全面にCVD法によりSiO₂が堆積される。その結果、分離溝の内部にはSiO₂膜14が充填される。次に、SiO₂膜14の突出部分を除去するためにCMPが実行される。CMPの実行に際してSiN膜13はストップ膜として機能する。その結果、図17 (A) および17 (B) に示す如く、分離溝の内部にのみSiO₂が残存

する状態が形成される。

【0008】次に、図18 (A) および18 (B) に示す如く、所定温度に加熱したリン酸、すなわち熱リン酸を用いてSiN膜13を除去する処理が実行される。次いで、図19 (A) および19 (B) に示す如く、フッ酸を用いてSiO₂膜12を除去する処理が実行される。上記の処理が実行されることにより、溝型の分離領域が形成される。

【0009】

【発明が解決しようとする課題】従来のトレンチ分離法においてSiO₂膜12の突出部を研磨するCMPは、SiO₂を含む研磨剤を用いて実行される。しかし、SiO₂を含む研磨剤によって実現されるSiO₂膜とSiN膜との研磨選択比は3:1程度である。CMPの実行中にSiO₂膜のみを効率良く研磨して所望の研磨状態を実現するためには、上記の選択比が大きな値であるほど有利である。また、上記の選択比は、CMPの実行により良好な平面度を得るうえでも大きな値であることが望ましい。

【0010】安定な品質を有する半導体集積回路を高い歩留まりで製造するためには、分離領域を効率良く、かつ、精度良く製造することが重要である。また、分離領域を効率良く、かつ、精度良く製造するためには、CMPにより所望の研磨状態を安定に実現すると共に、CMPにより良好な平面度を実現することが重要である。この点、従来のトレンチ分離法は、安定した品質を有する半導体集積回路を高い歩留まりで製造するうえで、未だ改良の余地を残すものであった。

【0011】本発明は、上記のような課題を解決するためになされたもので、所望の研磨状態を安定に確保し、かつ、良好な平面度を確保するうえで好適な条件でCMPを行うことにより、安定した品質を有する半導体集積回路を高い歩留まりで製造することのできる半導体装置の製造方法を提供することを第1の目的とする。

【0012】

【課題を解決するための手段】本発明の請求項1に係る半導体装置の製造方法は、半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、シリコン酸化膜の研磨に適し、かつ、シリコン酸化膜表面の段差を減少させ若しくはなだらかにするのに適した第1の研磨剤を用いて露出状態の前記シリコン酸化膜を研磨することにより、その表面の段差を減少させる工程と、前記シリコン酸化膜表面の段差が減少した後に、CeO₂を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とするものであ

る。

【0013】本発明の請求項2に係る半導体装置の製造方法は、前記シリコン酸化膜のうち活性領域上に堆積する部分を、研磨に先立ってエッチングにより除去する工程を含むことを特徴とするものである。

【0014】本発明の請求項3に係る半導体装置の製造方法は、前記第1の研磨剤が、シリコン酸化物を含む研磨剤であることを特徴とするものである。

【0015】本発明の請求項4に係る半導体装置の製造方法は、前記第1の研磨剤を用いたシリコン酸化膜の研磨工程で、段差が400nm以下とされることを特徴とするものである。

【0016】本発明の請求項5に係る半導体装置の製造方法は、前記第1の研磨剤を用いるシリコン酸化膜の研磨と前記第2の研磨剤を用いたシリコン酸化膜の研磨とが、同一の研磨テーブル上で実行されることを特徴とするものである。

【0017】本発明の請求項6に係る半導体装置の製造方法は、半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、前記シリコン酸化膜の表面の窪みを平坦化材で埋めることにより、前記シリコン酸化膜の表面の段差を減少させる工程と、前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とするものである。

【0018】本発明の請求項7に係る半導体装置の製造方法は、前記平坦化材が、前記シリコン酸化膜上にSOGを塗布することにより形成されることを特徴とするものである。

【0019】本発明の請求項8に係る半導体装置の製造方法は、前記平坦化材が、前記シリコン酸化膜上にBP SGを製膜し、リフロー処理を行うことにより形成されることを特徴とするものである。

【0020】本発明の請求項9に係る半導体装置の製造方法は、半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、前記シリコン酸化膜の表面にウェットエッチングを施すことにより、前記シリコン酸化膜の表面の段差を減少させる工程と、前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨す

る工程と、を備えることを特徴とするものである。

【0021】本発明の請求項10に係る半導体装置の製造方法は、前記ウェットエッチングが、前記シリコン酸化膜の全面を対象として実行されることを特徴とするものである。

【0022】本発明の請求項11に係る半導体装置の製造方法は、前記ウェットエッチングが、非活性領域がレジストで覆われた状態で、活性領域のみを対象として実行されることを特徴とするものである。

【0023】本発明の請求項12に係る半導体装置の製造方法は、半導体基板上に研磨ストップ膜として機能するシリコン窒化膜を形成する工程と、所定領域において前記シリコン窒化膜と前記半導体基板とをエッチングにより除去して、活性領域を区分する分離溝を形成する工程と、前記分離溝がシリコン酸化膜で充填されるように半導体基板の上部にシリコン酸化膜を堆積させる工程と、シリコン酸化膜表面の段差を減少させ若しくはなだらかにするのに適した第1の研磨剤を用いて露出状態の前記シリコン酸化膜を研磨する処理、前記シリコン酸化膜の表面の窪みを平坦化材で埋める処理、および、前記シリコン酸化膜の表面にウェットエッチングを施す処理の何れかを複数組み合わせることで実行することにより、前記シリコン酸化膜の表面の段差を減少させる工程と、前記シリコン酸化膜表面の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いて、前記シリコン窒化膜が露出するまで前記シリコン酸化膜を研磨する工程と、を備えることを特徴とするものである。

【0024】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。尚、各図において共通する要素には、同一の符号を付して重複する説明を省略する。

【0025】実施の形態1. 図1は、本発明の実施の形態1の半導体装置の製造方法において使用される2種類の研磨剤の特性を示す。後述の如く、本実施形態の半導体装置の製造方法においては、シリコン基板上分離領域を形成する過程で、基板上に堆積させたシリコン酸化膜を研磨するために、 SiO_2 を含む第1の研磨剤を用いる第1段階のCMPと、 CeO_2 を含む第2の研磨剤を用いる第2段階のCMPとが実行される。図1中に○で示す結果は、 SiO_2 を含む第1の研磨剤の特性を示す。また、図1中に●で示す結果は、 CeO_2 を含む第2の研磨剤の特性を示す。

【0026】図1において、横軸は、研磨対象のシリコンウェハ表面の段差の大きさを示す。また、図1において、縦軸は、表面が平坦なシリコンウェハの研磨速度に対する検査対象物（表面に段差を有するシリコンウェハ）の研磨速度、具体的には、検査対象物の凸部の研磨速度の比を示す。図1に示す如く、 SiO_2 を含む第1の研磨剤は、シリコンウェハの表面に大きな段差が存在

する場合に、100%を越える研磨速度比を実現する。従って、第1の研磨剤を用いたCMPによれば、シリコンウェハ表面の段差の有無に関わらずシリコン基板を効率良く研磨することが可能である。

【0027】一方、図1に示す如く、 CeO_2 を含む第2の研磨剤は、シリコンウェハ表面の段差が大きくなるに連れて研磨速度比を低下させる特性を有している。特に、第2の研磨剤を用いたCMPによる研磨速度比は、段差が400nmを越える場合に著しく小さな値となる。このため、シリコン基板の表面に400nmを越える段差が存在する場合には、第2の研磨剤を用いたCMPにより基板表面を効率良く研磨することはできない。尚、ここで示した実験結果は、段差が図2(A)に示すように垂直な場合(以下、このような段差を「垂直段差」と称す)の結果であるが、段差形状が図2(B)に示す如く凸部と凹部とが曲面でつながる段差(以下、「曲面段差」と称す)の場合、および、図2(C)に示す如く凸部と凹部とが傾斜面でつながる段差(以下、「傾斜段差」と称す)の場合にも同様の結果が得られる。

【0028】ところで、 SiO_2 を含む第1の研磨剤を用いて実行されるCMPによれば、 SiO_2 膜と SiN 膜とは、3:1程度の選択比で研磨される。一方、 CeO_2 を含む第2の研磨剤を用いて実行されるCMPによれば、 SiO_2 膜と SiN 膜とを、50:1程度の大きな選択比で研磨することができる。このため、第2の研磨剤を用いて SiO_2 膜と SiN 膜とを研磨することによれば、 SiN 膜を有効なストップ膜として機能させることができる。

【0029】このように、 SiO_2 を含む第1の研磨剤は、シリコン基板表面の段差に関わらず効率良く基板を研磨できる点において、 CeO_2 を含む第2の研磨剤に比較して優れている。一方、第2の研磨剤は、 SiO_2 膜と SiN 膜とを、大きな選択比で研磨し得る点において第1の研磨剤に比較して優れている。本実施形態の半導体装置の製造方法は、分離領域の製造過程で、それら2つの研磨剤の利点を有効に利用する点に特徴を有している。

【0030】次に、図3(A)および3(B)、乃至、図8(A)および8(B)を参照して本実施形態の半導体装置の製造方法の内容について説明する。尚、図3(A)乃至図8(A)は、2つの分離領域が接近して設けられる部分の断面図を示す。また、図3(B)乃至図8(B)は、分離領域の近傍に比較的大きな活性領域が形成される部分の断面図を示す。

【0031】図3(A)および3(B)は、シリコン基板10に分離溝16が形成された状態を示す。分離溝16は、以下に示す処理が実行されることにより形成される。

(ステップ1)シリコン基板10上に、熱酸化によって10nm~50nm程度の SiO_2 膜12を形成する処理。

(ステップ2) SiO_2 膜12の上部に、膜厚50nm~300nm程度の SiN 膜13を形成する処理。

(ステップ3)分離溝16に対応する領域に開口部を有するレジストマスク(図示せず)を、写真製版により SiN 膜13の上部に形成する処理。および

(ステップ4)異方性エッチングにより、レジストマスクに覆われていない領域、すなわち、分離溝に対応する領域から、 SiN 膜13および SiO_2 膜12を除去し、更に、シリコン基板10を深さ100nm~500nm程度除去して分離溝16とする処理。

【0032】図4(A)および4(B)は、シリコン基板10上に SiO_2 膜14が堆積された状態を示す。図4(A)および4(B)に示す状態は、分離溝16が形成された後、以下に示す処理が実行されることにより実現される。

(ステップ5)CVD法により、シリコン基板10の上部に、 SiO_2 膜14を堆積させる処理。本ステップ5において、 SiO_2 膜14は、その膜厚が、分離溝16の深さ、 SiO_2 膜12の膜厚、および、 SiN 膜13の膜厚の合計値以上となるように堆積される。尚、本実施形態においては、 SiO_2 膜14をCVD法により堆積させることとしているが、 SiO_2 膜14は、HDP-CVD法(High Density Plasma CVD)法により堆積させてもよい。

(ステップ6)シリコン基板10上の、素子を形成すべき領域18(以下、「活性領域18」と称す)に開口部を有するレジストマスク(図示せず)を、写真製版により SiO_2 膜14の上部に形成する処理。および

(ステップ7)ドライエッチングにより、活性領域18上に堆積している SiO_2 膜14を除去する処理。

【0033】図5(A)および5(B)は、第1段階のCMPが実行されることにより実現される状態を示す。図5(A)および5(B)に示す状態は、 SiO_2 膜14のドライエッチングが終了した後に、以下に示す処理が実行されることにより実現される。

(ステップ8) SiO_2 を含む第1の研磨剤を用いて SiO_2 膜14の垂直段差が100nm程度となるまでCMP(第1段階のCMP)を行う処理。第1段階のCMPは、本実施形態の半導体装置の製造装置の特徴的工程の一つである。尚、本実施形態において、第1段階のCMPの終了時期は、制御の簡単化のため開始時刻からの経過時間により管理されている。

【0034】上述の如く、本実施形態の製造方法によれば、第1段階のCMPにより SiO_2 膜14の研磨を行うに先立って、活性領域18上の SiO_2 膜14がドライエッチングにより除去される。ドライエッチングによれば、比較的大きな領域に存在する SiO_2 膜14を、CMPに比較して効率良く除去することができる。このため、上記の製造方法によれば、全領域の SiO_2 膜14をCMPで除去する場合に比較して効率良く SiO_2 膜

14を除去することができる。

【0035】ところで、活性領域18上の SiO_2 膜14がドライエッチングで除去されると、活性領域18と非活性領域との境界部において、 SiO_2 膜14に大きな垂直段差が形成される(図4(B)参照)。しかしながら、第1の研磨剤によれば、上述の如く、研磨対象物の表面に大きな垂直段差が形成されている場合であっても、その対象物を効率良く研磨することが可能である(図1参照)。このため、上記の製造方法によれば、シリコン基板10の表面に形成された SiO_2 膜14の大きな垂直段差を、効率的に減少させることができる。

【0036】また、本実施形態の製造方法において、第1段階のCMPは、 SiO_2 膜14が露出している状態で実行される。すなわち、本実施形態において、第1段階のCMPは、 SiO_2 膜14の単一層を効率良く研磨することを目的として実行される。このため、第1の研磨剤の特性は、シリコン酸化物 SiO_2 が効率良く研磨できることを主たる観点として設定されている。

【0037】例えば、 SiO_2 膜14の上部に「他の膜」が重ねて形成されている状況下で第1段階のCMPが実行される場合は、第1の研磨剤の特性を設定するにあたり、第1の研磨剤と、その「他の膜」との相性を考慮する必要がある。同様に、第1段階のCMPにより、 SiO_2 膜14の下部に形成されている「他の膜」を研磨する必要がある場合も、第1の研磨剤と、その「他の膜」との相性を考慮する必要がある。これに対して、本実施形態においては、シリコン酸化物 SiO_2 との相性のみを考慮して第1の研磨剤の特性を決めることができる。この点において、本実施形態の製造方法は、第1段階のCMPにより SiO_2 膜14を効率良く研磨するうえで有利な特性を有している。

【0038】図6(A)および6(B)は、第2段階のCMPが実行されることにより実現される状態を示す。図6(A)および6(B)に示す状態は、第1段階のCMPの終了後に、以下に示す処理が実行されることにより実現される。

(ステップ9) CeO_2 を含む第2の研磨剤を用いて、 SiN 膜13が露出するまでCMP(第2段階のCMP)により SiO_2 膜14を研磨する処理。第2段階のCMPは、本実施形態の半導体装置の製造装置の特徴的工程の一つである。尚、本実施形態において、第2段階のCMPの終了時期は、制御の簡単化のため開始時刻からの経過時間により管理されている。

【0039】上述の如く、本実施形態の製造方法によれば、 SiO_2 膜14の表面における垂直段差が適当に減少した段階で第2段階のCMPを実行することができる。第2段階のCMPで用いられる第2の研磨剤は、垂直段差の小さな対象物を効率良く研磨することができ、かつ、 SiO_2 と SiN とを高い選択比で研磨することのできる研磨剤である。このため、第2段階のCMPに

よれば、 SiN 膜13をストップ膜として有効に機能させながら SiO_2 膜14を効率よく除去することができる。

【0040】 SiO_2 膜14の除去を目的とするCMPにおいて、 SiN 膜13がストップ膜として有効に機能すると、CMPの終了時に SiN 膜13に大きな膜厚を残存させることが容易となる。従って、上記のCMPによれば、加工条件のバラツキ等に影響されることなく、容易かつ安定に所望の研磨状態を得ることが可能となる。また、 SiN 膜13がストップ膜として有効に機能する状況下では、CMPの実行中に SiN 膜13の平面度が維持され易くなると共に、 SiO_2 膜14の表面高さが SiN 膜13の表面高さに揃い易くなる。その結果、 SiO_2 膜14の表面に優れた平面度が付与される。更に、 CeO_2 を用いたCMPによれば、 SiO_2 を用いるCMPに比較して、研磨に伴ってウェハに生ずるスクラッチ傷を少量とすることができる。従って、本実施形態の半導体装置の製造方法は、ウェハの研磨品質を向上させるうえでも有効である。

【0041】このように、本実施形態の半導体装置の製造方法によれば、第1段階および第2段階のCMPを実行することにより、分離溝16に充填された SiO_2 膜14に、加工条件のバラツキ等に影響されることなく、安定に優れた平面度を付与することができる。このため、本実施形態の製造方法によれば、安定した分離領域を有する半導体装置を高い歩留まりで形成することができる。

【0042】第2段階のCMPが終了すると、次に、図7(A)および7(B)に示す如く、熱リン酸を用いたウェットエッチングにより SiN 膜13を除去する処理が実行される(ステップ10)。次いで、図8(A)および8(B)に示す如く、フッ酸を用いたウェットエッチングにより SiO_2 膜12を除去する処理が実行される(ステップ11)。上記の処理が実行されることにより、活性領域18を区分する溝型の分離領域が形成される。

【0043】本実施形態の製造方法において、第1段階のCMPと第2段階のCMPとは、同一のテーブル(以下、「CMPテーブル」と称す)において、研磨剤を切り換えることにより、連続的に実行される。このような手法によれば、第1段階および第2段階のCMPを高いスループットで行うことが可能である。

【0044】また、本実施形態において、CMPテーブルには、第1段階のCMPが終了した後、第1の研磨剤を洗い流すための洗浄水が供給される。そして、第1の研磨剤がシリコン基板上から洗い流された後に第2の研磨剤がCMPテーブル上に供給される。このため、第1段階および第2段階のCMPが同一のテーブル上で実行されるにも関わらず、第1の研磨剤と第2の研磨剤とが混ざり合うのを防止することができる。

【0045】更に、CMPテーブルにおいては、第1段階のCMPが終了した後に、研磨布の表面をダイヤモンド砥粒で磨く処理、すなわち、研磨布のドレス処理が実行される。上記のドレス処理によれば、研磨布の状態を初期性能が発揮できる状態に復元することができると同時に、研磨布の表面から第1の研磨剤を除去することができる。このため、本実施形態の製造方法によれば、第1の研磨剤と第2の研磨剤とが混ざり合うのを厳密に防止することができると共に、第2段階のCMPの実行中に効率良くシリコン基板10を研磨することができる。

【0046】ところで、上記の実施形態においては、第1段階のCMPと第2段階のCMPとを同一のテーブルで連続的に実行することとしているが、本発明はこれに限定されるものではない。すなわち、第1段階のCMPが終了した後に、シリコン基板10を洗浄し、乾燥させた後に、改めて第2段階のCMPを実行することとしても良い。

【0047】また、上記の実施形態においては、第1段階のCMPと第2段階のCMPとを同一テーブルで実行する際に、洗浄水を流すことにより、および、ドレス処理を行うことにより第1の研磨剤と第2の研磨剤とが混ざり合うのを防止することとしているが、本発明はこれに限定されるものではない。すなわち、第1の研磨剤と第2の研磨剤とが混ざり合うことで何ら不都合が生じない場合には、それらの処理を省略することとしてもよい。

【0048】また、上記の実施形態においては、第1段階のCMPにより、 SiO_2 膜14の垂直段差を100nm程度とすることとしているが、本発明はこれに限定されるものではない。すなわち、図1に示す如く、 CeO_2 を含む第2の研磨剤は、垂直段差が400nm以下の領域で、良好な研磨能力を示す。このため、第1段階のCMPでは、 SiO_2 膜14の垂直段差が400nm程度以下となるように SiO_2 膜14を研磨すればよい。

【0049】また、上記の実施形態においては、第1段階のCMPに先だって活性領域18上の SiO_2 膜14をエッチングにより除去することとしているが、本発明はこれに限定されるものではない。すなわち、シリコン基板10上に SiO_2 膜14を堆積させた後に、エッチングを行うことなく、第1段階のCMPにより SiO_2 膜14を研磨することとしても良い。

【0050】また、上記の実施形態においては、 SiO_2 を含む研磨剤を第1の研磨剤としているが、第1の研磨剤はこれに限定されるものではない。すなわち、第1の研磨剤は、研磨対象物の表面段差に関わらず SiO_2 膜14を効率良く研磨することのできる研磨剤であればよく、例えば、 Al_2O_3 、 ZrO_2 、 Mn_2O_3 または MnO_2 等を含む研磨剤であってもよい。

【0051】また、上記の実施形態においては、第1段階のCMPにより SiO_2 膜14の垂直段差を減少させ

ることとしているが、第1段階のCMPの目的はこれに限定されるものではない。すなわち、 SiO_2 を含む第1の研磨剤を用いたCMPによれば、 SiO_2 膜14の垂直段差を減少させると共に、その段差の角部をなだらかとすることができる。 CeO_2 を含む第2の研磨剤を用いたCMPの研磨速度は、 SiO_2 膜14の表面段差が小さくなるに連れて向上すると共に、その表面段差がなだらかになるほど向上する。このため、本発明によれば、これら双方の効果に起因して、第2段階のCMPを効率良く行うことができる。

【0052】更に、上記の実施形態においては、第1段階のCMPにより減少させ若しくはなだらかとする段差が垂直段差に限定されているが、本発明はこれに限定されるものではない。すなわち、CVD法で成膜された SiO_2 膜の表面には、凸部と凹部とが曲面でつながる曲面段差が形成される。また、HDP-CVD法で成膜される SiO_2 膜の表面には、凸部と凹部とが傾斜面でつながる傾斜段差が形成される。第1段階のCMPによれば、それらの段差を減少させ、また、なだらかにすることができる。従って、本発明の製造方法によれば、 SiO_2 膜の表面に曲面段差または傾斜段差が形成される場合にも効率良くその表面を平坦化することができる。

【0053】実施の形態2. 次に、図9(A)および9(B)、乃至、図14(A)および14(B)を参照して、本発明の実施の形態2の半導体装置の製造方法について説明する。本実施形態の半導体装置の製造方法においては、実施の形態1の場合と同様に、ステップ1~4の処理が実行されることにより分離溝16が形成される(図9(A)および9(B)参照)。更に、本実施形態の半導体装置の製造方法においては、実施の形態1の場合と同様に、ステップ5~7の処理が実行されることにより、垂直段差を有する SiO_2 膜14が形成される(図10(A)および10(B)参照)。

【0054】本実施形態の半導体装置の製造方法は、上記の処理により SiO_2 膜14を形成した後に、 SiO_2 膜14の表面の窪みを平坦化材で埋めることにより垂直段差を減少させる点に第1の特徴を有している。そして、本実施形態の半導体装置の製造方法は、上記の手法で SiO_2 膜14の垂直段差を減少させた後に CeO_2 を含む研磨剤を用いたCMPが実行される点に第2の特徴を有している。以下、本実施形態の説明においても、 CeO_2 を含む研磨剤、および、その研磨剤を用いたCMPは、便宜上「第2の研磨剤」および「第2段階のCMP」と称す。

【0055】図11(A)および11(B)は、シリコン基板10の上部に平坦化材が塗布された状態を示す。図11(A)および11(B)に示す状態は、活性領域18の SiO_2 膜14を除去した後に、以下に示す処理が実行されることにより形成される。

(ステップ12)シリコン基板10の表面にSOG20

を塗布する処理。SOG20は、 SiO_2 膜14の窪み部分に堆積する。その結果、本ステップの処理が実行されると、 SiO_2 膜14の表面に形成されている垂直段差がなだらかとなる。垂直段差がなだらかになると、第2の研磨剤を用いる第2段階のCMPによって効率良く研磨対象物の表面を研磨することが可能となる。従って、本ステップ12の処理によれば、実施の形態1における第1段階のCMPと同様に、第2段階のCMPを効率良く行ううえで必要な状態を形成することができる。

【0056】上記の処理が終了すると、以後、実施の形態1の場合と同様に、ステップ9の処理、すなわち、第2段階のCMPが実行されることにより、 SiN 膜13が露出するまで SiO_2 膜14が研磨される(図12(A)および12(B)参照)。次いで、ステップ10の処理により SiN 膜13が除去される(図13(A)および13(B)参照)。そして、ステップ11の処理により SiO_2 膜12が除去されて分離領域が形成される(図14(A)および14(B)参照)。

【0057】本実施形態の半導体装置の製造方法によれば、実施の形態1の場合と同様に、第2段階のCMPにより効率良く SiO_2 膜14を研磨することができると共に、そのCMPの実行中に、 SiN 膜13をストッパ膜として有効に機能させることができる。このため、本実施形態の半導体の製造方法によれば、実施の形態1の場合と同様に、(1)加工条件のバラツキ等に影響されることなく、容易かつ安定に所望の研磨状態を得ること、(2) SiO_2 膜14の表面に優れた平面度を付与すること、および、(3)ウェハの研磨品質を向上させることができる。

【0058】ところで、上記の実施形態においては、 SiO_2 膜14の垂直段差を減少させるための平坦化材としてSOG20が用いられているが、本発明はこれに限定されるものではない。すなわち、平坦化材としてBPSGを用い、BPSGの成膜後にリフローを行うことで SiO_2 膜14の垂直段差を減少させることとしても良い。

【0059】実施の形態3。次に、本発明の実施の形態3の半導体装置の製造方法について説明する。上述の如く、実施の形態1の製造方法においては、 SiO_2 膜14の垂直段差を減少させるために第1段階のCMP(ステップ8)が実行される。また、実施の形態2の製造方法においては、 SiO_2 膜14の垂直段差を減少させるために平坦化材で窪みを埋める処理(ステップ12)が実行される。本実施形態の半導体装置の製造方法は、それらの処理に代えて、シリコン基板10の全面を対象とするウェットエッチングが実行される点に特徴を有している。

【0060】すなわち、本実施形態の製造方法によれば、ステップ1～7の処理により垂直段差を有する SiO_2 膜14が形成された後に、シリコン基板10の全面

を対象とするウェットエッチングが実行される。ウェットエッチングは、平坦な部分に比較して突出した部分を優先的に除去する特性を有している。このため、ウェットエッチングによれば、シリコン基板10上に形成されている SiO_2 膜の垂直段差部分をなだらかにすることができる。

【0061】上述の如く、垂直段差がなだらかになると、第2段階のCMPによって効率良く研磨対象物の表面を研磨することが可能となる。従って、本実施形態の半導体装置の製造方法によっても、実施の形態1および2の場合と同様に、優れた効果を得ることができる。

【0062】ところで、上記の実施形態においては、ウェットエッチングをシリコン基板10の全面を対象として行うこととしているが、本発明はこれに限定されるものではない。すなわち、ウェットエッチングは、分離溝16の上部を除く領域のみを対象として行うこととしてもよい。ウェットエッチングの対象領域を上記の如く限定することによれば、分離溝16内部の SiO_2 膜14が減少して、分離領域に窪みが生ずるのを有効に防止することができる。

【0063】また、上述した第1乃至第3実施例においては、 SiO_2 膜14の垂直段差を減少させるために、第1の研磨剤を用いたCMP、平坦化材を用いて表面の窪みを埋める処理、および、ウェットエッチングの何れか1つを実行することとしているが本発明はこれに限定されるものではない。すなわち、 SiO_2 膜14の垂直段差を減少させるために、これらの処理を2つ以上組み合わせることで実行することとしてもよい。

【0064】

【発明の効果】この発明は以上説明したように構成されているので、以下に示すような効果を奏する。請求項1記載の発明によれば、半導体基板上に分離溝が形成された後、半導体基板上にシリコン酸化膜が堆積される。その結果、分離溝の内部にシリコン酸化膜が充填される。この際、半導体基板上には、分離溝から外れた領域に、シリコン酸化膜の突出部が形成される。本発明においては、第1の研磨剤を用いて、露出したシリコン酸化膜の突出部を研磨する処理が実行される。第1の研磨剤は、シリコン酸化膜の研磨に適した研磨剤である。このため、上記の研磨によれば、露出状態のシリコン酸化膜を効率良く研磨することができる。また、第1の研磨剤は、シリコン酸化膜の段差を減少させ若しくはなだらかにするうえで好適な研磨剤である。このため、上記の研磨によれば、シリコン酸化膜の突出部を効率良く研磨して、半導体基板の表面を効率よく平坦化することができる。本発明によれば、シリコン酸化膜の段差が減少した後に、 CeO_2 を含む第2の研磨剤を用いた研磨が行われる。第2の研磨剤は、平坦なシリコン酸化膜を効率良く研磨し、かつ、シリコン窒化膜に対してシリコン酸化膜を大きな選択比で研磨するうえで好適な特性を有して

いる。このため、上記の研磨によれば、シリコン窒化膜を有効にストッパ膜として機能させながら、シリコン酸化膜を効率的に研磨することができる。従って、本発明の半導体装置の製造方法によれば、所望の研磨状態を安定に実現し、かつ、半導体基板の平坦度を良好に確保することができる。

【0065】請求項2記載の発明によれば、活性領域に堆積するシリコン酸化膜をエッチングにより効率的に除去することができる。上記の処理が実行されると、活性領域と非活性領域との境界部において、シリコン酸化膜に大きな段差が生じやすい。本発明によれば、第1の研磨剤を用いた研磨でその段差を減少させた後に第2の研磨剤を用いた研磨を行うことができる。このため、本発明によれば、請求項1の場合に比較して更に効率的に所望の研磨状態を実現することができる。

【0066】請求項3記載の発明によれば、第1の研磨剤がシリコン酸化膜を含んでいる。シリコン酸化膜を含む研磨剤によれば、第1の研磨剤に要求される特性を満たすことができる。

【0067】請求項4記載の発明によれば、第1の研磨剤を用いた研磨により、シリコン酸化膜の段差が400nm以下とされる。CeO₂を含む第2の研磨剤は、段差が400nm以下である場合に、シリコン酸化膜の効率的な研磨を可能とする。このため、本発明によれば、効率的に所望の研磨状態を実現することができる。

【0068】請求項5記載の発明によれば、第1の研磨剤を用いた研磨、および、第2の研磨剤を用いた研磨を、同一のテーブル上で実行することができる。このため、本発明によれば、研磨工程におけるスループットを向上して、優れた生産性を実現することができる。

【0069】請求項6記載の発明によれば、平坦化材を用いてシリコン酸化膜の窪みを埋めた後に第2の研磨剤を用いた研磨を行うことができる。このため、本発明によれば、第2の研磨剤の優れた特性を利用して、効率的に所望の研磨状態を実現することができる。

【0070】請求項7記載の発明によれば、SOGを用いることにより、容易かつ確実にシリコン酸化膜の窪みを埋めること、すなわち、シリコン酸化膜の段差を減少させることができる。

【0071】請求項8記載の発明によれば、BPSGを用いることにより、容易かつ確実にシリコン酸化膜の窪みを埋めること、すなわち、シリコン酸化膜の段差を減少させることができる。

【0072】請求項9記載の発明によれば、シリコン酸化膜の表面にウェットエッチングを施した後に第2の研磨剤を用いた研磨を行うことができる。ウェットエッチングによれば、シリコン酸化膜の段差をなだらかにすることができる。シリコン酸化膜の段差がなだらかになった後は、第2の研磨剤を用いて効率的に所望の研磨状態を実現することができる。このため、本発明によれば、

第2の研磨剤の優れた特性を利用して、効率的に所望の研磨状態を実現することができる。

【0073】請求項10記載の発明によれば、シリコン酸化膜の全面にウェットエッチングを施すことにより、容易かつ確実に、シリコン酸化膜の段差を減少させることができる。このため、本発明によれば、所望の研磨状態を容易な工程で実現することができる。

【0074】請求項11記載の発明によれば、活性領域のみを対象としてウェットエッチングを行うことができる。上記のウェットエッチングによれば、分離溝に堆積しているシリコン酸化膜がウェットエッチングによって除去されるのを防止することができる。このため、本発明によれば、分離溝におけるシリコン酸化膜の膜厚を適正に確保しつつ第2の研磨剤の優れた特性を利用することができる。

【0075】請求項12記載の発明によれば、シリコン酸化膜の段差を、複数の処理の組合せにより効率的に減少させることができる。このため、本発明によれば、第2の研磨剤の特性を利用するのに必要な状態を、効率的に実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体装置の製造方法に用いられる第1および第2の研磨剤の特性を示すグラフである。

【図2】 本発明の実施の形態1で考慮される段差の例を示す図である。

【図3】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その1)である。

【図4】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その2)である。

【図5】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その3)である。

【図6】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その4)である。

【図7】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その5)である。

【図8】 本発明の実施の形態1の半導体装置の製造方法を説明するための図(その6)である。

【図9】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その1)である。

【図10】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その2)である。

【図11】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その3)である。

【図12】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その4)である。

【図13】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その5)である。

【図14】 本発明の実施の形態2の半導体装置の製造方法を説明するための図(その6)である。

【図15】 従来の半導体装置の製造方法を説明するための図(その1)である。

【図16】 従来の半導体装置の製造方法を説明するための図(その2)である。

【図17】 従来の半導体装置の製造方法を説明するための図(その3)である。

【図18】 従来の半導体装置の製造方法を説明するた

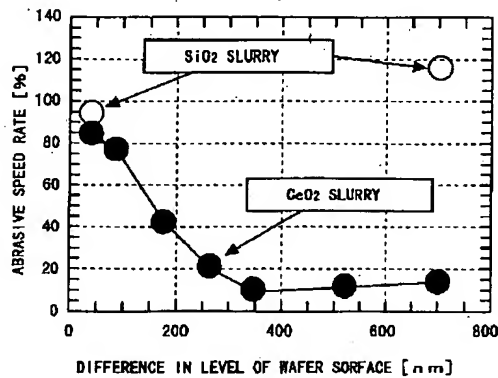
めの図(その4)である。

【図19】 従来の半導体装置の製造方法を説明するための図(その5)である。

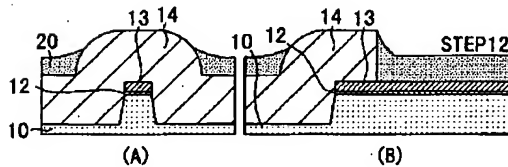
【符号の説明】

10 シリコン基板、 12, 14 SiO_2 膜、
13 SiN 膜、16 分離溝、 18 活性領域、
20 SOG。

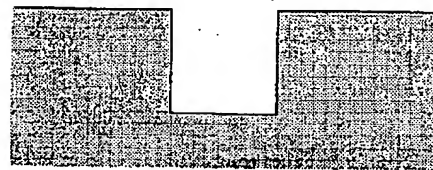
【図1】



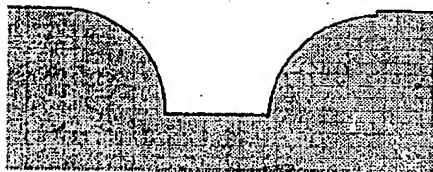
【図11】



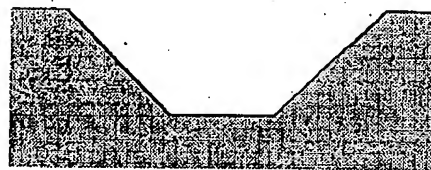
【図2】



(A)

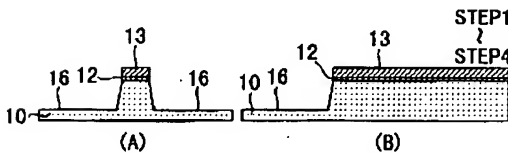


(B)

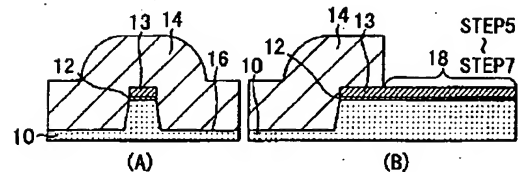


(C)

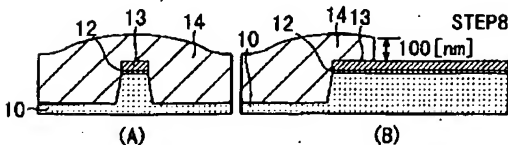
【図3】



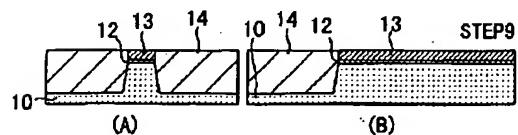
【図4】



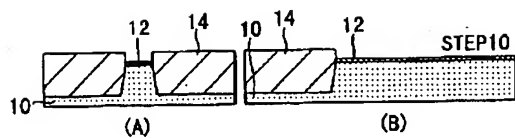
【図5】



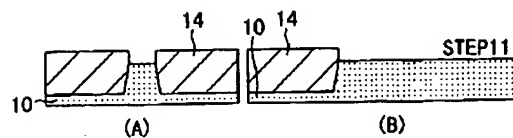
【図6】



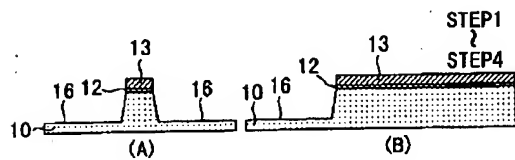
【図7】



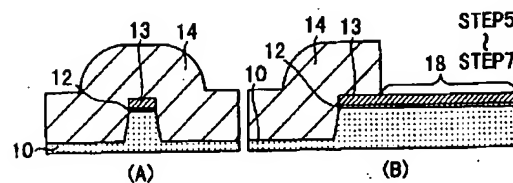
【図8】



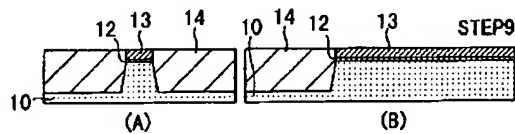
【図9】



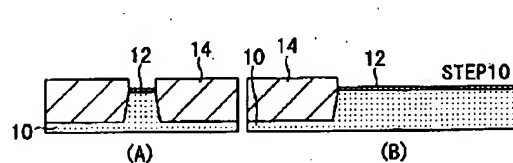
【図10】



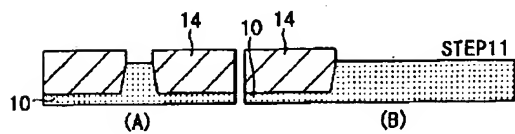
【図12】



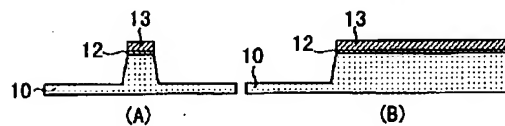
【図13】



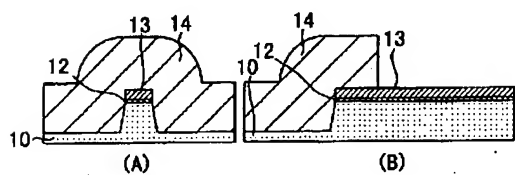
【図14】



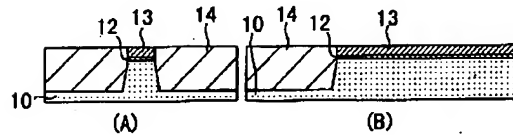
【図15】



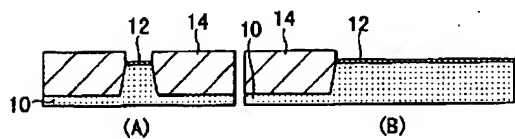
【図16】



【図17】



【図18】



【図19】

